

W805 MCU 芯片规格书

V2.1

北京联盛德微电子有限公司 (Winner Micro)

地址：北京市海淀区阜成路 67 号银都大厦 6 层

电话：+86-10-62161900

网址：www.winnermicro.com

文档修改记录

版本	修订时间	修订记录	作者	审核
V1.0	2021/2/25	创建文档	Ray	
V2.0	2022/8/20	更新公司信息, 修改个别 bug	Ray	
V2.1	2024/4/26	修改 I2S 最高采样率, 删除 touch 相关描述	LM	

目录

1	概述	4
2	特征	4
3	芯片结构	6
4	功能描述	6
4.1	SDIO HOST 控制器	6
4.2	SDIO Device 控制器	7
4.3	高速 SPI 设备控制器	7
4.4	DMA 控制器	8
4.5	时钟与复位	8
4.6	内存管理器	8
4.7	FLASH 控制器	8
4.8	RSA 加密模块	9
4.9	通用硬件加密模块	9
4.10	I ² C 控制器	9
4.11	主/从 SPI 控制器	9
4.12	UART 控制器	10
4.13	GPIO 控制器	10
4.14	定时器	10

4.15	看门狗控制器	11
4.16	PWM 控制器	11
4.17	I ² S 控制器	11
4.18	7816/UART 控制器	11
4.19	PSRAM 接口控制器	12
4.20	ADC	13
5	管脚定义	14
6	电气特性	17
6.1	极限参数	17
7	封装信息	18

1 概述

W805 芯片是一款安全 MCU 芯片。芯片集成 32 位 CPU 处理器，内置 UART、GPIO、SPI、SDIO、I²C、I²S、7816、ADC 等数字接口；支持 TEE 安全引擎，支持多种硬件加解密算法，内置 DSP、浮点运算单元与安全引擎，支持代码安全权限设置，内置 1MB Flash 存储器，支持固件加密存储、固件签名、安全调试、安全升级等多项安全措施，保证产品安全特性。适用小家电、玩具、工业控制、医疗监护等领域。

2 特征

■ 芯片外观

- ✓ QFN32 封装，4mm x 4mm

■ MCU 特性

- ✓ 集成 32 位 XT804 处理器，工作频率 240MHz，内置 DSP、浮点运算单元与安全引擎
- ✓ 内置 1MB Flash，288KB RAM
- ✓ 集成 PSRAM 接口，支持最高 8MB 外置 PSRAM 存储器
- ✓ 集成 5 路 UART 高速接口
- ✓ 集成 2 路 12 比特 ADC，最高采样率 1KHz
- ✓ 集成 1 个高速 SPI 从接口，支持最高 50MHz
- ✓ 集成 1 个 SDIO_HOST 接口，支持 SDIO2.0、SDHC、MMC4.2
- ✓ 集成 1 个 SDIO_DEVICE，支持 SDIO2.0，最高吞吐率 200Mbps
- ✓ 集成 1 个 I²C 控制器
- ✓ 集成 GPIO 控制器，最多支持 18 个 GPIO
- ✓ 集成 5 路 PWM 接口

- ✓ 集成 1 路 Duplex I²S 控制器

■ 安全特性

- ✓ MCU 内置 Tee 安全引擎，代码可区分安全世界/非安全世界
- ✓ 集成 SASC/TIPC，内存及内部模块/接口可配置安全属性，防止非安全代码访问
- ✓ 启用固件签名机制，实现安全 Boot/升级
- ✓ 具备固件加密功能，增强代码安全
- ✓ 固件加密密钥使用非对称算法分发，增强密钥安全性
- ✓ 硬件加密模块：RC4、AES128、DES/3DES、SHA1/MD5、CRC32、2048 RSA,真随机数发生器

■ 低功耗模式

- ✓ 3.3V 单电源供电
- ✓ 支持工作、睡眠、待机、关机工作模式
- ✓ 待机功耗小于 10uA

3 芯片结构

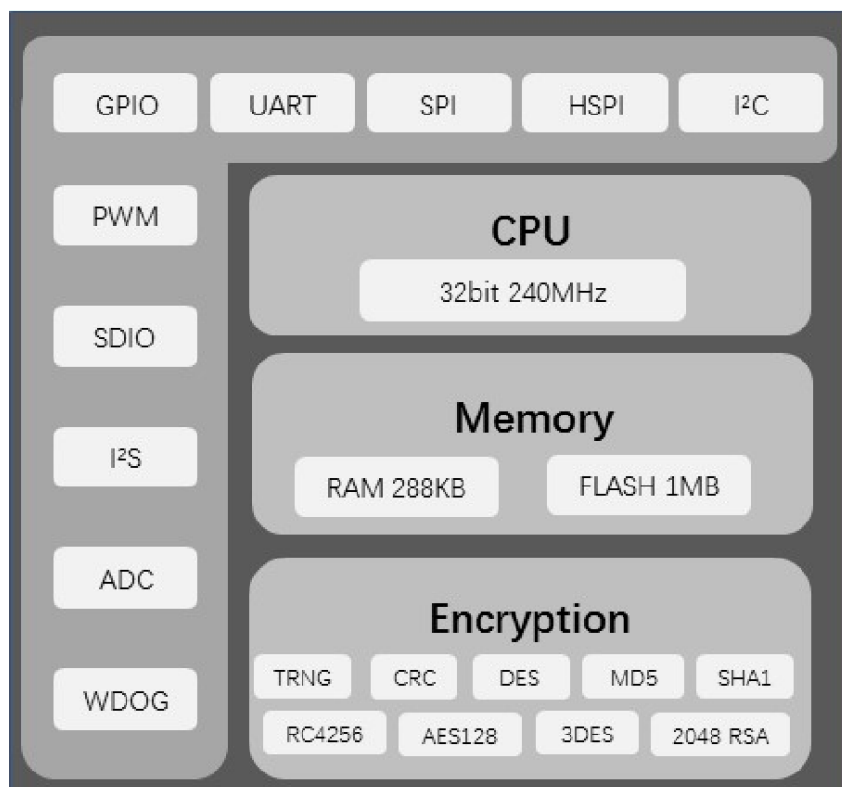


图 3-1 W805 芯片框图

4 功能描述

4.1 SDIO HOST 控制器

SDIO HOST 设备控制器提供了一个能够访问安全数字输入输出卡 (SDIO) 以及 MMC 卡的数字接口。能够访问兼容 SDIO 2.0 协议的 SDIO 设备和 SD 卡设备。主要接口有 CK, CMD 以及 4 根数据线。

- 兼容 SD 卡规范 1.0/1.1/2.0(SDHC)
- 兼容 SDIO 内存卡规范 1.1.0
- 兼容 MMC 规范 2.0~4.2
- 可配置接口时钟速率, 支持主机速率 0~50MHz
- 支持标准 MMC 接口

- 支持最大 1024 字节的 Block
- 支持软复位功能
- 自动 Command/Response CRC 生成/校验
- 自动数据 CRC 生成/校验
- 可配置 timeout 检测
- 支持 SPI、1 比特 SD 和 4 比特 SD 模式
- 支持 DMA 数据传输

4.2 SDIO Device 控制器

SDIO2.0 设备端接口，完成与主机数据的交互。内部集成 1024Byte 的异步 FIFO，完成主机与芯片的数据交互。

- 兼容 SDIO 卡规范 2.0
- 支持主机速率 0~50MHz
- 支持最大 1024 字节的 Block
- 支持软复位功能
- 支持 SPI、1 比特 SD 和 4 比特 SD 模式

4.3 高速 SPI 设备控制器

兼容通用 SPI 物理层协议，通过约定与主机交互的数据格式，主机对设备的高速访问，最高支持工作频率为 50Mbps。

- 兼容通用 SPI 协议
- 可选择电平中断信号
- 最高支持 50Mbps 速率

- 简单的帧格式，全硬件解析与 DMA

4.4 DMA 控制器

最多支持 8 通道，16 个 DMA 请求源，支持链表结构与寄存器控制。

- Amba2.0 标准总线接口，8 路 DMA 通道
- 支持基于存储器链表结构的 DMA 操作
- 软件配置 16 个硬件请求源
- 支持 1, 4-burst 操作模式
- 支持 byte、half-word, word 操作
- 源、目的地址不变或顺序递增可配置或在预定义地址范围内循环操作
- 同步 DMA 请求和 DMA 响应硬件接口时序

4.5 时钟与复位

支持芯片时钟和复位系统的控制，时钟控制包括时钟变频，时钟关断以及自适应门控；复位控制包括系统以及子模块的软复位控制。

4.6 内存管理器

支持发送接收缓存大小的配置，以及 MAC 访问缓存的基址，缓存个数，帧聚合上限等控制信息。

4.7 FLASH 控制器

- 提供总线访问 FLASH 接口
- 提供系统总线 and 数据总线访问仲裁
- 实现 CACHE 缓存系统提高 FLASH 接口访问速度
- 提供对不同 QFlash 的兼容性

4.8 RSA 加密模块

RSA 运算硬件协处理器，提供 Montgomery(FIOS 算法)模乘运算功能。配合 RSA 软件库实现 RSA 算法。

支持 128 位到 2048 位模乘。

4.9 通用硬件加密模块

加密模块自动完成指定长度的源地址空间数据的加密，完成后自动将加密数据回写到指定的目的地址空间；

支持 SHA1/MD5/RC4/DES/3DES/AES/CRC/TRNG。

- 支持 SHA1/MD5/RC4/DES/3DES/AES/CRC/TRNG 加密算法
- DES/3DES 支持 ECB 和 CBC 两种模式
- AES 支持 ECB、CBC 和 CTR 三种模式
- CRC 支持 CRC8、CRC16_MODBUS、CRC16_CCITT 和 CRC32 四种模式
- CRC 支持输入/输出反向
- SHA1/MD5/CRC 支持连续多包加密
- 内置真随机数发生器，也支持 seed 种子产生伪随机数

4.10 I²C 控制器

APB 总线协议标准接口，只支持主设备控制器，I²C 工作频率支持可配，100K—400K。

4.11 主/从 SPI 控制器

支持同步的 SPI 主从功能。其工作时钟为系统内部总线时钟。其特点如下：

- 发送和接收通路各有 8 个字深度的 FIFO
- master 支持 Motorola SPI 的 4 种格式 (CPOL, CPHA), TI 时序, macrowire 时
- slave 支持支持 Motorola SPI 的 4 种格式 (CPOL, CPHA);

- 支持全双工和半双工
- 主设备支持 bit 传输，最大支持 65535bit 传输
- 从设备支持各种长度 byte 的传输模式
- 从设备输入的 SPI_Clk 最大时钟频率为系统时钟的 1/6

4.12 UART 控制器

- 设备端符合 APB 总线接口协议
- 支持中断或轮询工作方式
- 支持 DMA 传输模式，发送接收各存在 32-byte FIFO
- 波特率可编程
- 5-8bit 数据长度，以及 parity 极性可配置
- 1 或 2 个 stop 位可配置
- 支持 RTS/CTS 流控
- 支持 Break 帧发送与接收
- Overrun, parity error, frame error, rx break frame 中断指示
- 最大 16-burst byte DMA 操作

4.13 GPIO 控制器

可配置的 GPIO、软件控制的输入输出、硬件控制的输入输出、可配置中断方式。

GPIOA 和 GPIOB 寄存器起始地址不同，但是功能一致。

4.14 定时器

微秒与毫秒计时（据时钟频率配置计数个数），实现六个可配置的 32 位计数器，当相应计算器配置的计数完成时，产生相应中断。

4.15 看门狗控制器

支持“看门狗”功能。观察软件行为正确性及允许系统崩溃后进行全局复位。“看门狗”产生一个周期性的中断，系统软件必须响应这个中断，并清除中断标志；若由于系统崩溃中断标志很长时间没有被清除，则产生一个硬复位进行系统的全局复位。

4.16 PWM 控制器

- 5 通道 PWM 信号生成功能
- 2 通道输入信号捕获功能（PWM0 和 PWM4 两个通路）
- 频率范围：3Hz~160KHz
- 占空比最大精度：1/256，插入死区的计数器宽度：8bit

4.17 I²S 控制器

- 支持 AMBA APB 总线接口，32bit single 读写操作
- 支持主，从模式，可以双工工作
- 支持 8/16/24/32 位宽，最高采样频率为 192KHz
- 支持单声道和立体声模式
- 兼容 I²S 和 MSB justified 数据格式，兼容 PCM A/B 格式
- 支持 DMA 请求读写操作。只支持按字操作

4.18 7816/UART 控制器

- 设备端符合 APB 总线接口协议
- 支持中断或轮询工作方式
- 支持 DMA 传输模式，发送接收各存在 32-byte FIFO
- DMA 只能按字节进行操作，最大 16-burst byte DMA 操作

兼容 UART 以及 7816 接口功能:

串口功能:

- 波特率可编程
- 5-8bit 数据长度, 以及 parity 极性可配置
- 1 或 2 个 stop 位可配置
- 支持 RTS/CTS 流控
- 支持 Break 帧发送与接收
- Overrun, parity error, frame error, rx break frame 中断指示

7816 接口功能:

- 兼容 ISO-7816-3 T=0.T=1 模式
- 兼容 EVM2000 协议
- 可配置 guard time (11 ETU-267 ETU)
- 正向/反向约定可软件配置
- 支持发送/接收奇偶校验及重传功能
- 支持 0.5 和 1.5 停止位配置

4.19 PSRAM 接口控制器

W805 内置 SPI/QSPI 接口的 PSRAM 控制器, 支持外置 PSRAM 设备访问, 提供总线方式的 PSRAM 读写擦操作。最高读写速度 80MHz。

- 支持对外置 PSRAM 的读写访问
- 可配置为 SPI 和 QSPI
- SPI/QSPI 时钟频率可配置
- 支持 BURST INC 模式访问

- 支持 PSRAM 的半休眠模式

4.20 ADC

基于 Sigma-Delta ADC 的采集模块，完成最多 4 路模拟信号的采集，采样率通过外部输入时钟控制，可采集输入电压，也可采集芯片温度，支持输入校准和温度补偿校准。

Winner Micro

5 管脚定义

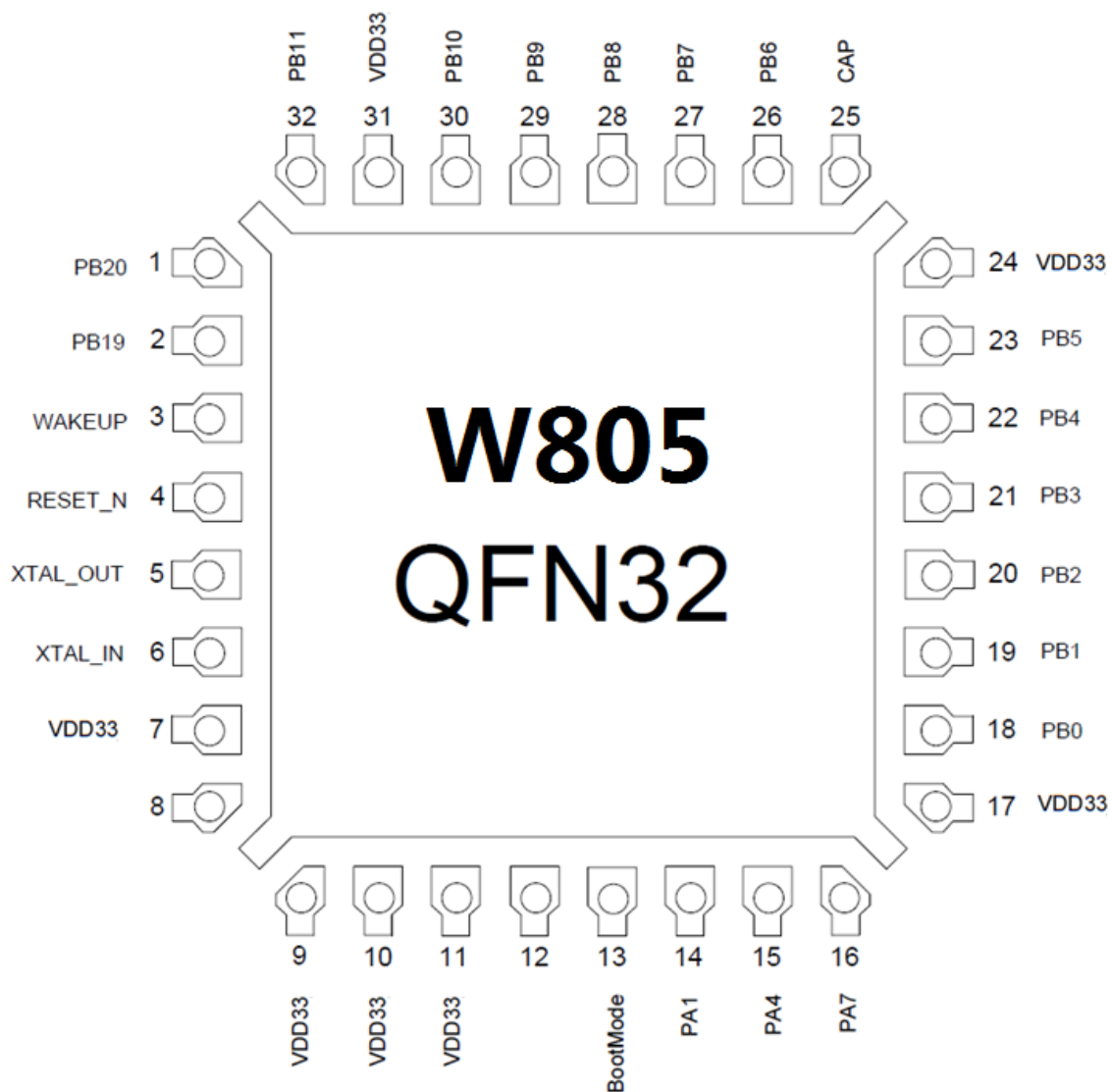


图 6-1 管脚布局图 (QFN32)

表 6-1 管脚分配定义 (QFN32)

编号	名称	类型	复位后管脚功能	复用功能	上下拉能力
1	PB_20	I/O	UART0_RX	UART0_RX/PWM1/UART1_CTS/I ² C_SCL	UP/DOWN
2	PB_19	I/O	UART0_TX	UART0_TX/PWM0/UART1_RTS/I ² C_SDA	UP/DOWN
3	WAKEUP	I	WAKEUP 唤醒功能		DOWN
4	RESET	I	RESET 复位		UP
5	XTAL_OUT	O	外部晶振输出		
6	XTAL_IN	I	外部晶振输入		
7	VDD33	P	芯片电源, 3.3V		
8	NC				
9	VDD33	P	芯片电源, 3.3V		
10	VDD33	P	芯片电源, 3.3V		
11	VDD33	P	芯片电源, 3.3V		
12	NC				
13	BOOTMODE	I/O	BOOTMODE	I ² S_MCLK/LSPI_CS/PWM2/I ² S_DO/PA_0	UP/DOWN
14	PA_1	I/O	JTAG_CK	JTAG_CK/I ² C_SCL/ PWM3 / I ² S_LRCK/ADC0	UP/DOWN
15	PA_4	I/O	JTAG_SWO	JTAG_SWO/I ² C_SDA/PWM4/ I ² S_BCK/ADC1	UP/DOWN
16	PA_7	I/O	GPIO,输入, 高阻	PWM4/LSPI_MOSI/I ² S_MCK/I ² S_DI	UP/DOWN
17	VDD33	P	芯片电源, 3.3V		

18	PB_0	I/O	GPIO,输入, 高阻	PWM0/LSPI_MISO/UART3_TX/PSRAM_CK	UP/DOWN
19	PB_1	I/O	GPIO,输入, 高阻	PWM1/LSPI_CK/UART3_RX/PSRAM_CS	UP/DOWN
20	PB_2	I/O	GPIO,输入, 高阻	PWM2/LSPI_CK/UART2_TX/PSRAM_D0	UP/DOWN
21	PB_3	I/O	GPIO,输入, 高阻	PWM3/LSPI_MISO/UART2_RX/PSRAM_D1	UP/DOWN
22	PB_4	I/O	GPIO,输入, 高阻	LSPI_CS/UART2_RTS/UART4_TX/PSRAM_D2	UP/DOWN
23	PB_5	I/O	GPIO,输入, 高阻	LSPI_MOSI/UART2_CTS/UART4_RX/PSARM_D3	UP/DOWN
24	VDD33	P	芯片电源, 3.3V		
25	CAP	I	外接电容, 4.7μF		-
26	PB_6	I/O	GPIO, 输入, 高阻	UART1_TX/MMC_CLK/HSPI_CK/SDIO_CK	UP/DOWN
27	PB_7	I/O	GPIO, 输入, 高阻	UART1_RX/MMC_CMD/HSPI_INT/SDIO_CMD	UP/DOWN
28	PB_8	I/O	GPIO, 输入, 高阻	I ² S_BCK/MMC_D0/ PWM_BREAK/SDIO_D0	UP/DOWN
29	PB_9	I/O	GPIO, 输入, 高阻	I ² S_LRCK/MMC_D1/ HSPI_CS/SDIO_D1	UP/DOWN
30	PB_10	I/O	GPIO, 输入, 高阻	I ² S_DI/MMC_D2/HSPI_DI/SDIO_D2	UP/DOWN
31	VDD33	P	芯片电源, 3.3V		
32	PB_11	I/O	GPIO, 输入, 高阻	I ² S_DO/MMC_D3/HSPI_DO/SDIO_D3	UP/DOWN
33	GND	P	接地		

注: 1. I= 输入, O= 输出, P= 电源

6 电气特性

6.1 极限参数

表 7-1 极限参数

参数	名称	最小值	典型值	最大值	单位
供电电压	VDD	3.0	3.3	3.6	V
输入逻辑电平低	V _{IL}	-0.3		0.8	V
输入逻辑电平高	V _{IH}	2.0		VDD+0.3	V
输入引脚电容	C _{pad}			2	pF
输出逻辑电平低	V _{OL}			0.4	V
输出逻辑电平高	V _{OH}	2.4			V
输出最大驱动能力	I _{MAX}			24	mA
存储温度范围	T _{STR}	-40°C		+125°C	°C
工作温度范围	T _{OPR}	-40°C		+85°C	°C

7 封装信息

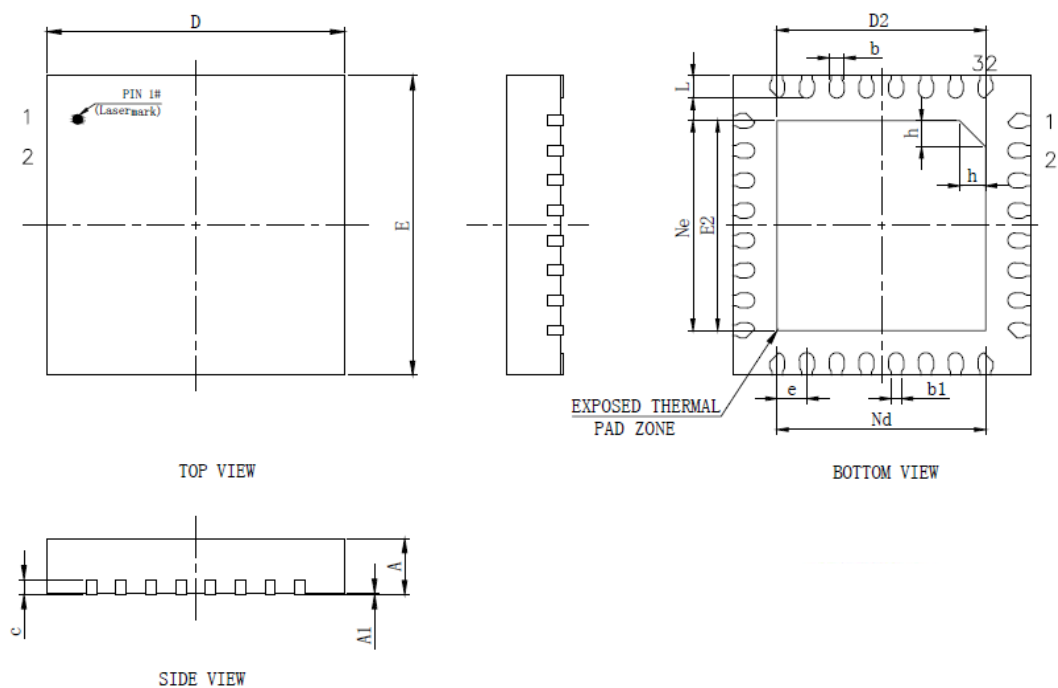


图 8-1 W805 封装参数

表 8-1 W805 封装参数表

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D2	2.70	2.80	2.90
e	0.40BSC		

Ne	2.80BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E2	2.70	2.80	2.90
L	0.25	0.30	0.35
h	0.30	0.35	0.40
L/F 载体尺寸	122x122		